

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-177828

(43)Date of publication of application : 27.06.2003

(51)Int.Cl.

G05F 1/56

(21)Application number : 2001-375444

(71)Applicant : RICOH CO LTD

(22)Date of filing : 10.12.2001

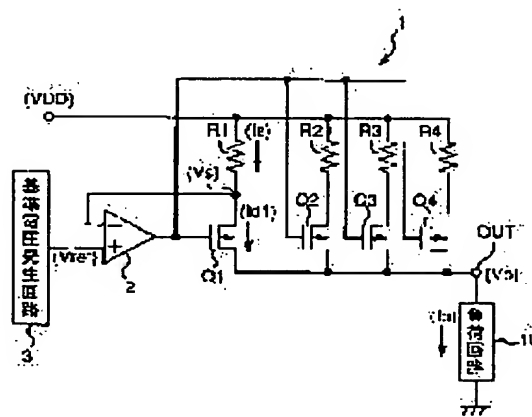
(72)Inventor : FUKUMURA KEIJI

(54) CONSTANT CURRENT CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a constant current circuit having a current detecting circuit whose temperature dependency is small, whose output current detecting precision is satisfactory, and which can prevent the decrease of an output voltage or the occurrence of a thermal loss, keep the current ratio of output currents I_o to currents I_s for detecting output currents constant regardless of the output voltage and optimize the ratio of constant currents I_a to peak currents I_p according to requested specifications by inserting a resistance for detecting output current.

SOLUTION: Series circuits to which resistances R_1 - R_4 and PMOS transistors Q_1 - Q_4 are serially connected are connected in parallel between a power supply voltage V_{DD} and an output terminal OUT , and an arithmetic amplifier 2 controls the operations of PMOS transistors Q_1 - Q_4 in order to set a voltage V_s of the connecting part of the resistance R_1 and the PMOS transistor Q_1 as a reference voltage V_{ref} , and prescribed constant currents I_a are outputted from an output terminal OUT .



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-177828
(P2003-177828A)

(43) 公開日 平成15年6月27日 (2003.6.27)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 5 F 1/56	3 1 0	G 0 5 F 1/56	3 1 0 D 5 H 4 3 0
			3 1 0 C
			3 1 0 T

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願2001-375444(P2001-375444)

(22) 出願日 平成13年12月10日 (2001.12.10)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 福村 慶二

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(74) 代理人 100062144

弁理士 青山 葆 (外1名)

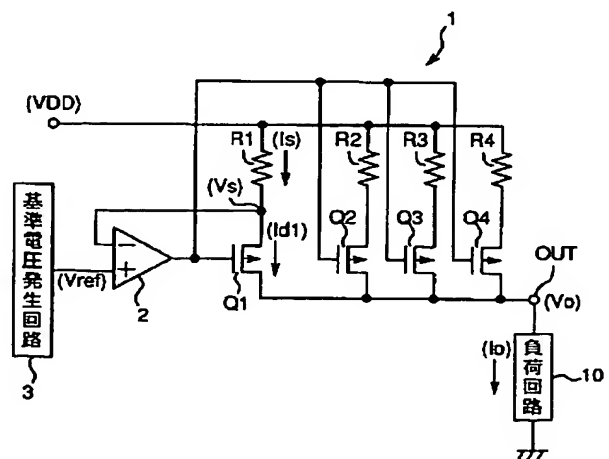
Fターム(参考) 5H430 BB01 BB09 BB12 CC06 EE06
EE09 FF08 FF12 GG01 HH03
LB06

(54) 【発明の名称】 定電流回路

(57) 【要約】

【課題】 出力電流検出用抵抗を挿入することによって出力電圧の低下や熱損失が発生することなく、出力電圧に関係なく出力電流 I_o と出力電流検出用電流 I_s との電流比を一定に保つことができると共に、要求仕様に応じて定電流 I_a とピーク電流 I_p との比を最適化することができ、温度依存性が小さく出力電流の検出精度のよい電流検出回路を有する定電流回路を得る。

【解決手段】 抵抗 $R1 \sim R4$ とPMOSトランジスタ $Q1 \sim Q4$ がそれぞれ対応して直列に接続された各直列回路が、電源電圧 VDD と出力端子OUTとの間にそれぞれ並列に接続され、演算増幅器2が、抵抗 $R1$ とPMOSトランジスタ $Q1$ との接続部の電圧 V_s が基準電圧 V_{ref} になるようにPMOSトランジスタ $Q1 \sim Q4$ の動作制御を行って、出力端子OUTから所定の定電流 I_a が出力されるようにした。



【特許請求の範囲】

【請求項1】 負荷に対して所定の定電流を供給する定電流回路において、

前記負荷に電流を供給する、抵抗とトランジスタが直列に接続された複数の直列回路が並列に接続されてなる出力回路部と、

所定の基準電圧を生成して出力する基準電圧発生回路部と、

前記出力回路部の所定の1つの直列回路における抵抗とトランジスタとの接続部の電圧が前記基準電圧発生回路部からの基準電圧になるように、前記出力回路部の各直列回路におけるそれぞれのトランジスタの動作制御を行う制御回路部と、を備えることを特徴とする定電流回路。

【請求項2】 前記出力回路部における各直列回路のそれぞれのトランジスタは、同一のトランジスタであることを特徴する請求項1記載の定電流回路。

【請求項3】 前記出力回路部における各直列回路のそれぞれの抵抗は、同じ抵抗値であることを特徴する請求項2記載の定電流回路。

【請求項4】 前記出力回路部の所定の1つの直列回路における抵抗は、他の各直列回路の抵抗よりも抵抗値が大きく、該他の各直列回路の抵抗は、それぞれ同じ抵抗値であることを特徴とする請求項2記載の定電流回路。

【請求項5】 前記出力回路部における各直列回路のそれぞれの抵抗は、金属材料からなる配線抵抗で形成されることを特徴とする請求項1、2、3又は4記載の定電流回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電流検出機能を備えた定電流回路に関し、特に出力短絡時においても所定の定電流を供給する定電流回路に関する。

【0002】

【従来の技術】図7は、従来の定電流回路の例を示した回路図である。図7の定電流回路100において、負荷回路110へ供給する出力電流 I_o の大部分はPMOSトランジスタであるドライバトランジスタ101から供給され、該ドライバトランジスタ101と並列に電流検出回路が接続されている。電流検出回路は、ドライバトランジスタ101と並列に接続された出力電流検出用抵抗105とPMOSトランジスタである出力電流検出用トランジスタ106との直列回路、所定の基準電圧 V_{ref} を生成して出力する基準電圧発生回路107、及び演算増幅器108で構成されている。

【0003】演算増幅器108は、出力電流検出用抵抗105と出力電流検出用トランジスタ106との接続部の電圧 V_s が基準電圧 V_{ref} になるようにドライバトランジスタ101及び出力電流検出用トランジスタ106の動作制御を行い、出力端子OUTから所定の電流値

I_a をなす出力電流 I_o が出力されるようにする。このとき、ドライバトランジスタ101及び出力電流検出用トランジスタ106の各ゲートには、それぞれ同じ信号が入力される。このように、定電流回路100では、出力電流検出用抵抗105の電圧降下分で出力電流 I_o の電流値の検出を行う。このような定電流回路100は、米国特許第4553084号明細書で開示されている。

【0004】

【発明が解決しようとする課題】ここで、定電流回路100は、出力電流検出用抵抗105と出力電流検出用トランジスタ106との接続部から得られる電圧 V_s と基準電圧 V_{ref} とを比較した結果である演算増幅器108の出力信号をドライバトランジスタ101のゲートにフィードバックする構成をなしている。このような定電流回路100において、負荷回路110の抵抗値を無限大からゼロまで変えた場合、すなわち出力端子OUTからの出力電圧 V_o を電源電圧VDDから0Vまで変えた場合の出力電流 I_o の変化について考える。

【0005】ドライバトランジスタ101のドレイン・ソース間電圧から出力電流検出用抵抗105の電圧降下分を引いた値が出力電流検出用トランジスタ106のドレイン・ソース間電圧となる。出力電圧 V_o が電源電圧VDDからあまり低下していない場合、すなわちドライバトランジスタ101のソース・ドレイン間電圧が小さい場合は、ドライバトランジスタ101と出力電流検出用トランジスタ106とのドレイン・ソース間電圧の差を無視することができない。これに対して、出力電圧 V_o が0Vの場合、ドライバトランジスタ101と出力電流検出用トランジスタ106の各ドレイン・ソース間電圧が共にほぼ電源電圧VDDとなって等しいと考えられることから、出力電流検出用抵抗105に流れる電流 I_s と出力電流 I_o との比が出力電圧 V_o に応じて変わるという問題があった。

【0006】図7の定電流回路100における出力電圧 V_o と出力電流 I_o との関係例を図8に示す。なお、図8(a)は、電圧 V_s と出力電圧 V_o との関係例を、図8(b)は、出力電圧 V_o に対する電流 I_s 及び出力電流 I_o の特性例を示している。図8において、 $V_o = V_{DD}$ のときは、 $I_o = 0$ であり、出力電圧 V_o が低下するに伴って、出力電流 I_o が増加する。出力電流 I_o の増加と共に出力電流検出用抵抗105と出力電流検出用トランジスタ106との接続部の電圧 V_s も増加する。

【0007】 $V_s = V_{ref}$ になると、演算増幅器108は、ドライバトランジスタ101及び出力電流検出用トランジスタ106に対してドレイン電流を減少させるように制御する。出力電流検出用トランジスタ106のドレイン電流が低下することによって、電圧 V_s が一定に、すなわち電流 I_s が一定になり、ドライバトランジスタ101と出力電流検出用トランジスタ106のゲー

トサイズの比から出力電流 I_o が決まる。

【0008】しかし、図8で示すように、出力電圧 V_o が低下して電圧 V_a になると出力電流 I_o はピーク電流 I_p という大きな値になる。出力電流検出用抵抗 105、基準電圧 V_{ref} 、及びドライバトランジスタ 101 と出力電流検出用トランジスタ 106 とのゲート幅比を決めることで定電流 I_a とピーク電流 I_p が決まってしまうというように自由度が少ないという問題があった。例えば、 $I_a = 0.7A$ 、 $I_p = 0.9A$ になるような仕様にするには、図7の定電流回路 100 では、出力電流検出用抵抗 105、基準電圧 V_{ref} 、及びドライバトランジスタ 101 と出力電流検出用トランジスタ 106 とのゲート幅比を調整するだけでは定電流 I_a とピーク電流 I_p との比を決めることが非常に困難であった。

【0009】また、出力電流検出用抵抗 105 のチップ面積を小さくするためには拡散、ポリシリコン等の半導体材料を使う必要があり、このような材料を使用すると出力電流検出用抵抗 105 は抵抗値の温度依存性が大きくなり、その結果、出力電流検出用の電圧 V_s も温度依存性が大きくなるという問題があった。

【0010】これに対して、図9で示すように、電源電圧 V_{DD} とドライバトランジスタ 121 のソースとの間に出力電流検出用抵抗 122 を設けた定電流回路 120 がある。定電流回路 120 において、演算増幅器 123 は、ドライバトランジスタ 121 と出力電流検出用抵抗 122 との接続部の電圧が基準電圧発生回路 124 からの基準電圧 V_{ref} になるようにドライバトランジスタ 121 の動作制御を行う。しかし、このような構成では、出力電流検出用に挿入した抵抗 122 によって出力電圧 V_o の低下や熱損失が発生するという問題があった。

【0011】本発明は、上記のような問題を解決するためになされたものであり、出力電流検出用抵抗を挿入することによって出力電圧の低下や熱損失が発生することなく、出力電圧に関係なく出力電流 I_o と出力電流検出電流 I_s との電流比を一定に保つことができると共に、要求仕様に応じて定電流 I_a とピーク電流 I_p との比を最適化することができ、温度依存性が小さく出力電流の検出精度のよい電流検出回路を有する定電流回路を得ることを目的とする。

【0012】

【課題を解決するための手段】この発明に係る定電流回路は、負荷に対して所定の定電流を供給する定電流回路において、前記負荷に電流を供給する、抵抗とトランジスタが直列に接続された複数の直列回路が並列に接続されてなる出力回路部と、所定の基準電圧を生成して出力する基準電圧発生回路部と、前記出力回路部の所定の1つの直列回路における抵抗とトランジスタとの接続部の電圧が前記基準電圧発生回路部からの基準電圧になるよ

うに、前記出力回路部の各直列回路におけるそれぞれのトランジスタの動作制御を行う制御回路部とを備えるものである。

【0013】具体的には、前記出力回路部における各直列回路のそれぞれのトランジスタには、同一のトランジスタを使用するようにした。

【0014】また、前記出力回路部における各直列回路のそれぞれの抵抗は、同じ抵抗値になるようにした。

【0015】前記出力回路部の所定の1つの直列回路における抵抗は、他の直列回路の抵抗よりも抵抗値が大きく、該他の各直列回路の抵抗は、それぞれ同じ抵抗値になるようにしてもよい。

【0016】一方、前記出力回路部における各直列回路のそれぞれの抵抗は、金属材料からなる配線抵抗で形成されるようにした。

【0017】

【発明の実施の形態】次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。図1は、本発明の第1の実施の形態における定電流回路の例を示した図である。図1において、定電流回路 1 は、同じトランジスタサイズの PMOS トランジスタ $Q_1 \sim Q_4$ 、抵抗 $R_1 \sim R_4$ 、演算増幅器 2 及び所定の基準電圧 V_{ref} を生成して出力する基準電圧発生回路 3 を備えている。なお、PMOS トランジスタ $Q_1 \sim Q_4$ 及び抵抗 $R_1 \sim R_4$ が出力回路部をなし、演算増幅器 2 が制御回路部をなす。

【0018】抵抗 $R_1 \sim R_4$ と PMOS トランジスタ $Q_1 \sim Q_4$ がそれぞれ対応して直列に接続され、該各直列回路は、電源電圧 V_{DD} と出力端子 OUT との間にそれぞれ並列に接続されている。演算増幅器 2 は、非反転入力端に基準電圧 V_{ref} が入力されており、反転入力端に抵抗 R_1 と PMOS トランジスタ Q_1 との接続部から出力電流検出電圧 V_s が入力され、出力端は PMOS トランジスタ $Q_1 \sim Q_4$ の各ゲートにそれぞれ接続されている。出力端子 OUT と接地電圧との間に負荷回路 10 が接続され、定電流回路 1 は、出力電流 I_o を負荷電流として該負荷回路 10 に出力する。

【0019】このような構成において、抵抗 R_1 は出力電流 I_o を検出するための抵抗をなし、PMOS トランジスタ Q_1 は、出力電流 I_o を検出するためのトランジスタをなす。演算増幅器 2 は、出力電流検出用抵抗 R_1 と出力電流検出用トランジスタ Q_1 との接続部の電圧 V_s が基準電圧 V_{ref} になるように PMOS トランジスタ $Q_1 \sim Q_4$ の動作制御を行い、出力端子 OUT から所定の定電流 I_a が出力されるようにする。

【0020】ここで、抵抗 $R_1 \sim R_4$ が同じ抵抗値である場合について説明する。抵抗 $R_1 \sim R_4$ の各抵抗値が等しいことから、出力電流 I_o を 4 等分した電流が各 PMOS トランジスタ $Q_1 \sim Q_4$ にそれぞれ流れ、各 PMOS トランジスタ $Q_1 \sim Q_4$ のソース電圧はそれぞれ等しい。PMOS トランジスタ Q_1 のソース電圧が出力電

流検出用電圧 V_s となり、演算増幅器2は、該出力電流検出用電圧 V_s が基準電圧 V_{ref} になるようにPMOSトランジスタ $Q_1 \sim Q_4$ の動作制御をそれぞれ行い、出力端子OUTから所定の定電流 I_a が出力されるようにする。このとき、PMOSトランジスタ $Q_1 \sim Q_4$ の各ゲートには、それぞれ同じ信号が入力される。このように、定電流回路1では、抵抗 R_1 の電圧降下分で出力電流 I_o の電流値の検出を行う。

【0021】図1の定電流回路1における出力電流 I_o と出力電流検出用電圧 V_s の特性例を図2に示す。図2において、 $V_o = V_{DD}$ のときは、 $I_o = 0$ であり、出力電圧 V_o が低下するのに伴って、負荷電流 I_o が増加する。負荷電流 I_o の増加と共に出力電流検出用電圧 V_s も増加し、出力電流検出用電圧 V_s も増加する。 $V_s = V_{ref}$ になると、演算増幅器2は、PMOSトランジスタ $Q_1 \sim Q_4$ に対してドレイン電流を減少させるように制御する。PMOSトランジスタ $Q_1 \sim Q_4$ の各ドレイン電流が低下することによって、出力電流検出用電圧 V_s が一定に、すなわち出力電流検出用電圧 V_s が一定になり、 $(4 \times I_s)$ の定電流 I_a が出力電流 I_o として出力される。このようにして、定電流回路1は、図3で示すように、出力電圧 V_o に対して定電流 I_a となる出力電流 I_o の特性を得ることができる。

【0022】ここで、図1で示した定電流回路1の集積化を行う上でのレイアウトについて説明する。抵抗 $R_1 \sim R_4$ は、配線抵抗で形成され、該配線抵抗のレイアウト形状を同一にすることによって、抵抗値を同一にすることができる。例えば、PMOSトランジスタ $Q_1 \sim Q_4$ において、最小単位のトランジスタをセルとしてアレイ状に並べることで可能である。使用される配線としてはポリシリコン、拡散、アルミ配線等があるが、トランジスタのソース・ドレイン部の接続にはアルミ配線を使

$$I_d = (\beta/2) \times \{2 \times (V_{gs} - V_{th}) \times V_{ds} - V_{ds}^2\} \dots \dots \dots (1)$$

但し、(1)式において、 V_{gs} はゲート・ソース間電圧を、 V_{ds} はドレイン・ソース間電圧を、 V_{th} はしきい値電圧をそれぞれ示し、 β は、下記(2)式で表される定数である。

$$\beta = \mu_p \times C_{ox} \times W/L \dots \dots \dots (2)$$

(2)式において、 μ_p はPMOSトランジスタにお

$$R_d = 1/(I_d/V_{ds}) = 1/[\beta \times (V_{gs} - V_{th} - V_{ds})] \dots \dots \dots$$

… (3)

【0027】ここで、例えば $V_{DD} = 5V$ 、 $R_d = 0.1 \Omega$ 、 $I_a = 0.5A$ とした場合に、 $V_o - V_a = 0.1V$ 、 $V_{ref} = 0.05V$ であるとき、前記(3)式において V_{ds} は最大 $0.05V$ 程度である。 $V_o > V_a$ において、PMOSトランジスタ Q_1 のソース・ドレイン間抵抗 R_{d1} とPMOSトランジスタ Q_2 のソース・ドレイン間抵抗 R_{d2} とを比較すると、前記(3)式で $V_{gs} = 5V$ 、 V_{th} は例えば $1V$ であるとする、前記(3)式における $(V_{gs} - V_{th} - V_{ds})$ は、 $5 -$

用することができる。セル構造をしたPMOSトランジスタ $Q_1 \sim Q_4$ をアレイ状に並べることによって、アルミ配線を使用しながら抵抗 $R_1 \sim R_4$ のマッチングを行うことができる。出力電流検出用電圧 V_s は、PMOSトランジスタ Q_1 のドレインにおける出力端子OUTに最も近い所から取り出すようにすればよい。

【0023】次に、抵抗 R_1 の抵抗値が抵抗 $R_2 \sim R_4$ の抵抗値よりも大きい場合について説明する。なお、抵抗 $R_2 \sim R_4$ の抵抗値は同じものとする。図4は、このようにした場合の定電流回路1における出力電圧 V_o とPMOSトランジスタ Q_1 、 Q_2 の各ドレイン電流との特性例を示した図である。図4において、 I_{d1} は、PMOSトランジスタ Q_1 のドレイン電流を示し、 I_{d2} は、PMOSトランジスタ Q_2 のドレイン電流を示している。なお、PMOSトランジスタ Q_3 及び Q_4 の各ドレイン電流は、PMOSトランジスタ Q_2 と同じであることから、PMOSトランジスタ Q_2 を例にして説明する。

【0024】 $V_o = V_a$ で出力電流検出用電圧 V_s が基準電圧 V_{ref} に達し、 $V_o < V_a$ では $V_s = I_{d1} \times R_1$ (抵抗 R_1 の抵抗値)で一定となり、すなわちドレイン電流 I_{d1} が定電流となるように演算増幅器2の出力電圧が変化する。次に、 $V_o > V_a$ の領域では、PMOSトランジスタ Q_1 及び Q_2 の各ゲート V_g はそれぞれ $0V$ になる。出力電圧 V_o が電源電圧 V_{DD} から電圧 V_a まで低下するのに伴ってドレイン電流 I_{d1} 及び I_{d2} はそれぞれ直線的に増加する。このときのドレイン電流 I_{d1} 及び I_{d2} といった各ドレイン電流 I_d は、下記(1)式で示したリニア領域におけるMOSTランジスタの式で表される。

【0025】

る移動度を、 C_{ox} はゲート絶縁膜の単位面積当たりの容量を、 W はMOSTランジスタのゲート幅を、 L はMOSTランジスタのゲート長をそれぞれ示している。

【0026】前記(1)式から、MOSTランジスタにおけるリニア領域でのソース・ドレイン間抵抗 R_d を求めると下記(3)式のようになる。

$1 - 0.05 = 3.95$ となり、ドレイン・ソース間電圧 V_{ds} の影響が微小であることから、 $R_{d1} \approx R_{d2}$ とすることができる。

【0028】次に、図4で、PMOSトランジスタ Q_2 のドレイン電流 I_{d2} が、 $V_o = V_a$ でピーク値 I_p を示すことについて説明する。図5は、 $V_o = V_a$ 付近におけるPMOSトランジスタ Q_1 のドレイン I_{d1} を示した図である。図5では、実線がドレイン電流 I_{d1} を、破線がPMOSトランジスタ Q_1 のゲート電圧 V_g

が常時0Vになって電流制限が行われない場合に示す出力電圧 V_o とドレイン電流 I_{d1} との関係例をそれぞれ示している。

【0029】図5において、抵抗 R_1 の抵抗値を R_1 とすると、 $V_o < V_a$ で $I_{d1} = I_1 = (V_{DD} - V_s) / R_1 = (V_{DD} - V_{ref}) / R_1$ となるために、PMOSトランジスタ Q_1 のゲート電圧 V_g が減少するが、そのようすを4本の破線で示している。図5の破線はドレイン電流 I_{d1} を示すものであるが、PMOSトランジスタ Q_1 のドレイン・ソース間電圧 V_{ds} 、例えば図5のA点に、PMOSトランジスタ Q_1 と Q_2 とのドレイン・ソース間電圧の差 ΔV_d を加えたE点でドレイン電流 I_{d2} を読み取ることができる。

【0030】PMOSトランジスタ Q_1 のゲート電圧 V_g が減少するに伴ってドレイン電流 I_{d1} がA点、B点、C点、D点と移動するのに対応して、PMOSトランジスタ Q_2 のゲート電圧 V_g も同様に減少し、ドレイン電流 I_{d2} はE点、F点、G点、H点と移動する。PMOSトランジスタ Q_1 のドレイン・ソース間電圧 V_{ds} が大きくなっても ΔV_d の最大値が基準電圧 V_{ref}

$$V_1 = V_{SW} \times \{R_d / (R_d + R_1)\} \dots\dots\dots (4)$$

$$V_2 = V_{SW} \times \{R_d / (R_d + R_2)\} \dots\dots\dots (5)$$

但し、 R_2 は抵抗 R_2 の抵抗値を示し、 $V_{SW} = V_{R1} + V_1 = V_{R2} + V_2$ である。なお、前記(4)及び(5)式において、PMOSトランジスタ Q_1 及び Q_2 の各等価抵抗 R_{d1} 、 R_{d2} は等しいことから、該各等

$$\Delta V_d = V_{SW} \times (R_1 - R_2) / (R_d + R_1 + R_2 + R_1 \times R_2 / R_d) \dots\dots\dots (6)$$

また、 $R_1 > R_2$ であることから、 $0 < \Delta V_d < V_{ref}$ である。このように、ピーク電流 I_p と電流 I_1 との差は ΔV_d に比例し、 ΔV_d は前記(6)式から抵抗 R_1 及び R_2 の抵抗値によって設定することができる。

$$I_{d1} = \beta (V_g - V_{R1} - V_{th})^2 / 2 \dots\dots\dots (7)$$

$$I_{d2} = \beta (V_g - V_{R2} - V_{th})^2 / 2 \dots\dots\dots (8)$$

なお、前記(7)及び(8)式において、PMOSトランジスタ Q_1 及び Q_2 の各ゲート電圧は等しいことから、それぞれのゲート電圧を V_g としている。

【0035】ゲート電圧 V_g は、ドレイン電流 I_{d1} が

$$I_{d2} = \{I_{d1} / 2 + (\beta / 2) I_1 / 2 \times (V_{R1} - I_{d2} \times R_2)\}^2 \dots\dots\dots (9)$$

【0036】前記(9)式より、下記(10)式が成り立つ。

$$I_{d2} - I_{d1} = \Delta V_R \times (2 \times \beta \times I_{d1})^{1/2} + \beta \times (\Delta V_R)^2 / 2 \dots\dots\dots (10)$$

但し、 $\Delta V_R = V_{R1} - V_{R2}$ である。電圧 V_{R1} は $(V_{DD} - V_s) = (V_{DD} - V_{ref})$ で一定であり、 $V_{R2} = R_2 \times I_{d2}$ であるから、 $(I_{d2} - I_{d1})$ は前記(10)式から R_2 によって決定される。

【0037】このように、ピーク電流 I_p と定電流 I_1 との差、及び定電流 I_1 と定電流 I_2 との差は、抵抗 R_1 及び R_2 の各抵抗値で決めることができるため、出力

であるためである。なお、ドレイン電流 I_{d2} において、E点の値になるときは、ドレイン電流 I_{d1} がA点の値を示す出力電圧 V_o のときであり、同様にF～H点の値になるときは、ドレイン電流 I_{d1} が対応するB～D点の値を示す出力電圧 V_o のときである。

【0031】ドレイン電流 I_{d2} の値がE点からH点に低下するようすが、図4におけるピーク電流 I_p から電流 I_2 に低下する変化を示している。ピーク電流 I_p と定電流値 I_1 との差は図5のA点とE点の電流差であるが、これは ΔV_d に比例する。図6は、抵抗 R_1 、 R_2 及びPMOSトランジスタ Q_1 、 Q_2 の等価回路を示した図であり、図6を用いて ΔV_d について説明する。

【0032】図6において、 R_{d1} はPMOSトランジスタ Q_1 の等価抵抗を、 R_{d2} はPMOSトランジスタ Q_2 の等価抵抗を示し、 V_{R1} は抵抗 R_1 の両端電圧を、 V_{R2} は抵抗 R_2 の両端電圧をそれぞれ示している。等価抵抗 R_{d1} の両端電圧を V_1 とし、等価抵抗 R_{d2} の両端電圧を V_2 とすると、電圧 V_1 及び V_2 は下記(4)及び(5)式のようにになる。

価抵抗を R_d としている。

【0033】前記(4)及び(5)式から、 $V_2 - V_1 = \Delta V_d$ は、下記(6)式のようにになる。

【0034】次に、電流 I_1 と I_2 との差について説明する。MOSTランジスタにおける飽和領域でのドレイン電流 I_{d1} 及び I_{d2} は、下記(7)及び(8)式のようにになる。

一定であるという条件から決まるため、前記(7)式からゲート電圧 V_g を求めて前記(8)式に代入すると、ドレイン電流 I_{d2} は、下記(9)式のようにになる。

電流 I_o は定電流 I_1 と定電流 I_2 で表すことができ、ピーク電流 I_p と定電流 I_1 との差を抵抗 R_1 及び R_2 の各抵抗値で決めることができる。実際の定電流回路では、PMOSトランジスタ $Q_2 \sim Q_4$ に相当するトランジスタを必要に応じて増やすことができ、この場合においてもピーク電流 I_p とドレイン電流 I_{d1} との差を抵抗 R_1 及び R_2 の各抵抗値で決めることができる。

【0038】一方、ピーク電流 I_p は、図5のE点の電流値であり、A点の電流値に比例することから、下記

$$I_p = (I_1 / V_{SW}) \times (V_{SW} + \Delta V_d) \\ = I_1 \times (1 + \Delta V_d / V_{SW}) \dots \dots \dots (11)$$

【0039】前記(11)式に前記(6)式の ΔV_d を 代入すると、下記(12)式のようになる。

$$I_p = I_1 \times \{1 + (R_1 - R_2) / (R_d + R_1 + R_2 + R_1 \times R_2 / R_d)\} \dots \dots \dots (12)$$

【0040】ここで、従来の場合、例えば図7で示した定電流回路100の場合、ピーク電流 I_p は、前記(1

$$I_p = I_1 \times \{1 + R_1 / (R_d + R_1)\} \dots \dots \dots (13)$$

【0041】 $R_1 > R_2$ 、 $R_1 > 0$ 及び $R_2 > 0$ であるため、前記(12)式と(13)式の右辺中のカッコ内第2項を比較すると、(12)式の $(R_1 - R_2)$ は、(13)式の R_1 よりも小さく、(12)式の $(R_d + R_1 + R_2 + R_1 \times R_2 / R_d)$ は、(13)式の $(R_d + R_1)$ よりも大きい。したがって、図4のピーク電流 I_p は、図7で示した従来の定電流回路100よりも小さいことが分かる。

【0042】このように、本第1の実施の形態における定電流回路は、抵抗 $R_1 \sim R_4$ とPMOSトランジスタ $Q_1 \sim Q_4$ がそれぞれ対応して直列に接続された各直列回路が、電源電圧 V_{DD} と出力端子 OUT との間にそれぞれ並列に接続され、演算増幅器2が、抵抗 R_1 とPMOSトランジスタ Q_1 との接続部の電圧 V_s が基準電圧 V_{ref} になるようにPMOSトランジスタ $Q_1 \sim Q_4$ の動作制御を行って、出力端子 OUT から所定の定電流 I_a が出力されるようにした。このことから、出力電流検出用抵抗を挿入することによって出力電圧 V_o の低下や熱損失が発生することなく、出力電圧 V_o に関係なく出力電流 I_o と出力電流検出用電流 I_s との電流比を一定に保つことができると共にピーク電流 I_p を小さくすることができ、更に温度依存性を小さくすることができ出力電流の検出精度を向上させることができるため、所定の定電流を精度よく供給することができる。

【0043】

【発明の効果】上記の説明から明かなように、本発明の定電流回路によれば、制御回路部は、出力回路部の所定の1つの直列回路における抵抗とトランジスタとの接続部の電圧が基準電圧発生回路部からの基準電圧になるように各直列回路におけるトランジスタの動作制御をそれぞれ行って、負荷に対して所定の定電流を出力するようにした。このことから、出力電流を検出するための抵抗を挿入することによって出力電圧の低下や熱損失が発生することなく、出力電流と該出力電流を検出するための抵抗を流れる電流との電流比を出力電圧に関係なく一定に保つことができると共に、出力電流のピーク値を小さくすることができ、温度依存性を小さくすることができ出力電流の検出精度を向上させることができるため、所定の定電流を精度よく供給することができる。

【0044】また、出力回路部の所定の1つの直列回路

(11)式のようになる。

2)式において $R_2 = 0$ とすればよく、下記(13)式のように示すことができる。

における抵抗は、他の直列回路の抵抗よりも抵抗値が大きく、該他の各直列回路の抵抗は、それぞれ同じ抵抗値になるようにしたことから、該2種類の抵抗値を設定することにより、要求された仕様に依じて出力電流における定電流値とピーク電流値との比を最適にすることができる。

【0045】具体的には、出力回路部における各直列回路のそれぞれの抵抗は、金属材料からなる配線抵抗で形成されるようにした。このことから、出力回路部における各直列回路のそれぞれの抵抗において、抵抗値の温度係数を一定にすることができるため、出力電流検出値の温度特性を小さくすることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態における定電流回路の例を示した図である。

【図2】 図1の定電流回路1における出力電圧 V_o に対する出力電流 I_o と出力電流検出用電流 I_s の各特性例を示した図である。

【図3】 図1の定電流回路1における出力電流 I_o と出力電圧 V_o との関係例を示した図である。

【図4】 図1の定電流回路1における出力電圧 V_o に対する各ドレイン電流 I_{d1} 、 I_{d2} のそれぞれの特性例を示した図である。

【図5】 $V_o = V_a$ 付近におけるドレイン I_{d1} の特性例を示した図である。

【図6】 抵抗 R_1 、 R_2 及びPMOSトランジスタ Q_1 、 Q_2 の等価回路を示した図である。

【図7】 従来の定電流回路の例を示した回路図である。

【図8】 図7の定電流回路100の出力電圧 V_o に対する電圧 V_s 、出力電流 I_o 及び電流 I_s の各特性例を示した図である。

【図9】 従来の定電流回路の他の例を示した回路図である。

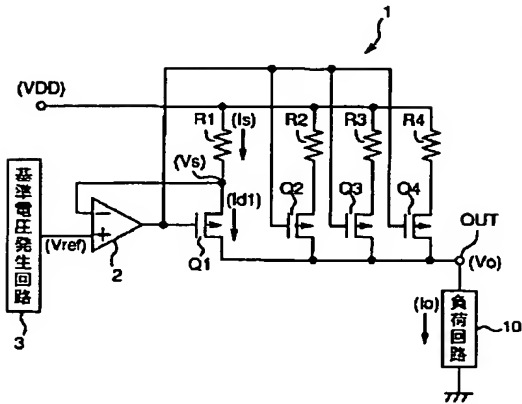
【符号の説明】

- 1 定電流回路
- 2 演算増幅器
- 3 基準電圧発生回路
- 10 負荷回路
- $R_1 \sim R_4$ 抵抗

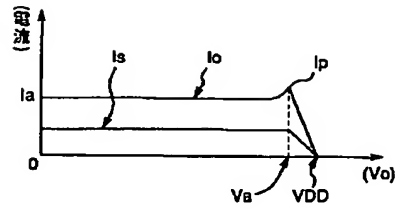
Q1~Q4 PMOSトランジスタ

OUT 出力端子

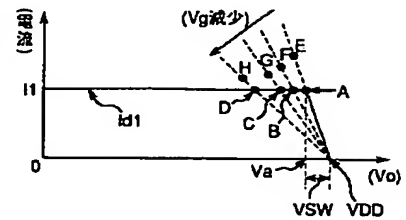
【図1】



【図2】

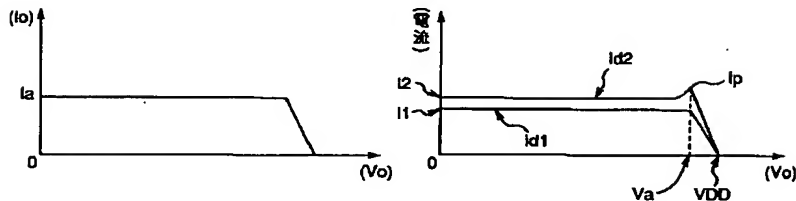


【図3】



【図4】

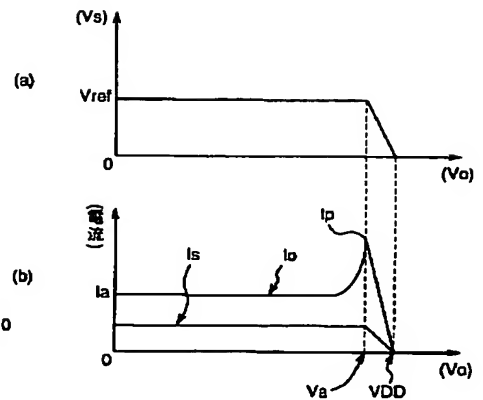
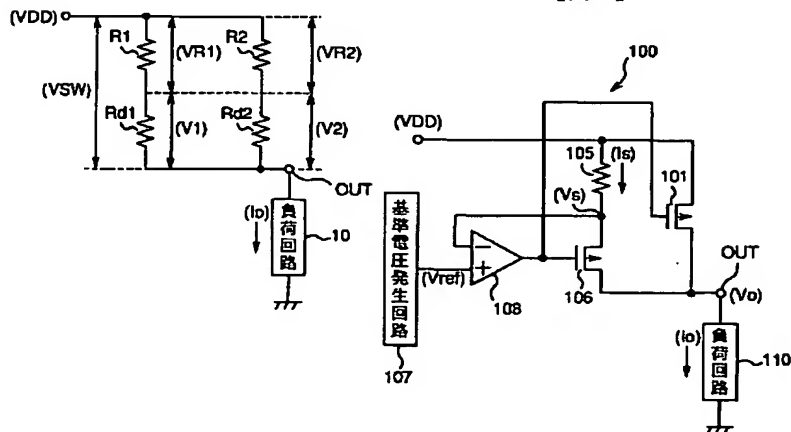
【図5】



【図6】

【図7】

【図8】



【圖 9】

